



11

# Offenlegungsschrift 29 30 779

21

Aktenzeichen:

P 29 30 779.7-33

22

Anmeldetag:

28. 7. 79

43

Offenlegungstag:

7. 2. 80

31

Unionspriorität:

32 33 31

28. 7. 78 Japan P 91415-78

28. 7. 78 Japan P 91416-78

54

Bezeichnung:

Halbleitervorrichtung

71

Anmelder:

Tokyo Shibaura Denki K.K., Kawasaki, Kanagawa (Japan)

74

Vertreter:

Blumbach, P.-G., Dipl.-Ing.; Weser, W., Dipl.-Phys. Dr.rer.nat.;  
Bergen, P., Dipl.-Ing. Dr.jur.; Kramer, R., Dipl.-Ing.;  
Zwirner, G., Dipl.-Ing. Dipl.-Wirtsch.-Ing.;  
Brehm, H.P., Dipl.-Chem. Dr.phil.nat.; Pat.-Anwälte,  
6200 Wiesbaden und 8000 München

72

Erfinder:

Hattori, Osamu, Himeji; Kobayashi, Mitsuo, Aioi; Hyogo;  
Tetsuya, Toshio; Usuda, Osamu; Yamamoto, Yoshio; Awa, Masashi;  
Hyogo (Japan)

Prüfungsantrag gem. § 28 b PatG ist gestellt

Patentconsult Radeckestraße 43 8000 München 60 Telefon (089) 883603/883604 Telex 05-212313 Telegramme Patentconsult  
Patentconsult Sonnenberger Straße 43 6200 Wiesbaden Telefon (06121) 562943/561998 Telex 04-186237 Telegramme Patentconsult

TOKYO SHIBAURA DENKI KABUSHIKI KAISHA  
72 Horikawa-cho, Saiwai-ku, Kawasaki-shi  
Japan

79/8747

---

Halbleitervorrichtung

---

Patentansprüche

1. Halbleitervorrichtung mit einem Chipbefestigungsteil und einem auf diesem angebrachtem Halbleiterelement, dadurch gekennzeichnet, daß das Halbleiterelement folgende Schichten aufweist:  
eine erste auf eine Oberfläche des Halbleiterelementes aufgebrachte Metallschicht aus einem Metall der Gruppe Vanadium, Aluminium, Titan, Chrom, Molybdän und einer Nickel-Chrom-Legierung;  
eine zweite auf die erste Metallschicht aufgebrachte

München: R. Kramer Dipl.-Ing. · W. Weser Dipl.-Phys. Dr. rer. nat. · H. P. Brehm Dipl.-Chem. Dr. phil. nat.  
Wiesbaden: P. G. Blumbach Dipl.-Ing. · P. Bergen Dipl.-Ing. Dr. jur. · G. Zwirner Dipl.-Ing. Dipl.-W.-Ing.

909886/0935

2930779

Metallschicht aus einem Metall der Gruppe Kupfer, Legierung auf Kupferbasis, Nickel und Legierung auf Nickelbasis; sowie  
eine dritte auf die zweite Metallschicht aufgebrachte Metallschicht aus einer Gold-Germanium-Legierung oder einer Legierung auf der Basis von Gold-Germanium, die als Lötmaterial wirkt und das Halbleiterelement auf dem Chipbefestigungsteil befestigt.

2. Halbleitervorrichtung nach Anspruch 1,  
dadurch gekennzeichnet, daß der Germanium-Anteil der Gold-Germanium-Legierung 4 bis 20 Gew.-% beträgt.
3. Halbleitervorrichtung nach Anspruch 1,  
dadurch gekennzeichnet, daß die Legierung auf der Basis von Gold-Germanium eine Gold-Germanium-Antimon-Legierung ist, bei der der Germanium-Anteil und der Antimon-Anteil 4 bis 20 Gew.-% bzw. 0,005 bis 1,0 Gew.-% bezogen auf das Gesamtgewicht von Gold und Germanium betragen.
4. Halbleitervorrichtung nach Anspruch 1,  
dadurch gekennzeichnet, daß die Legierung auf der Basis von Gold-Germanium eine Gold-Germanium-Gallium-Legierung ist, bei der der Germanium-Anteil und der Gallium-Anteil 4 bis 20 Gew.-% bzw. 0,005 bis 1,0 Gew.-% bezogen auf

909886/0935

2930779

das Gesamtgewicht von Gold und Germanium betragen.

5. Halbleitervorrichtung nach Anspruch 3 oder 4,  
dadurch gekennzeichnet, daß das Halbleiterelement  
eine weitere auf die zweite Metallschicht aufgelegte  
Metallschicht aufweist, die aus einem Metall aus der  
Gruppe Gold, Germanium und einer Gold-Germanium-Legie-  
rung ausgewählt ist.
6. Halbleitervorrichtung nach einem der Ansprüche 1 bis 3,  
dadurch gekennzeichnet, daß das Halbleiterelement eine  
auf die dritte Metallschicht aufgelegte vierte Metall-  
schicht aufweist, die aus einem Metall aus der Gruppe  
Gold, Silber und Platin hergestellt ist.
7. Halbleitervorrichtung nach Anspruch 1,  
dadurch gekennzeichnet, daß die erste Metallschicht eine  
Dicke von 50 bis 2.000 Å aufweist, die zweite Metall-  
schicht eine Dicke von 300 bis 5.000 Å und die dritte  
Metallschicht eine Dicke von 0,8 bis 3,5 µm.
8. Halbleitervorrichtung nach Anspruch 4,  
dadurch gekennzeichnet, daß die vierte Metallschicht eine

909886/0936

2930779

Dicke von 500 bis 5.000 Å aufweist.

909886/0935

- 5 -

---

**Halbleitervorrichtung**

---

**Beschreibung**

Die Erfindung betrifft eine Halbleitervorrichtung gemäß dem Oberbegriff des Patentanspruches 1. Insbesondere bezieht sie sich auf eine Halbleitervorrichtung mit einer verbesserten Möglichkeit zum Befestigen der Halbleiterelemente auf den Chipbefestigungs- bzw. Anschlußteilen (pads).

Fig. 1 stellt einen Teil einer bekannten Halbleitervorrichtung dar, bei dem ein Halbleiterelement 1 aus Silicium

(im folgenden "Siliciumchip" genannt) auf einem Chipbefestigungsteil 2 wie einem Leiterrahmen und einem Stiel befestigt ist. Der Kollektorbereich des Siliciumchips 1 ist mit dem Chipbefestigungsteil 2 verbunden. Die Basis- und Emitterbereiche des Chips 1 sind mittels Befestigungsdrähten 3 mit Leitungsstücken 4 verbunden.

Es sind verschiedene Verfahren bekannt, um ein Siliciumchip auf einem Chipbefestigungsteil zu befestigen. Von diesen Verfahren werden die folgenden im allgemeinen angewandt:

- a) Es wird zwischen einem Siliciumchip und einem Chipbefestigungsteil eine Goldfolie oder eine Goldlegierungsfolie von etwa 10  $\mu\text{m}$  Dicke eingefügt. Dann wird das Chip und das Befestigungsteil mit der zwischenliegenden Folie auf eine Temperatur erhitzt, die höher als die eutektische Temperatur von Gold-Silicium ist, d. h. höher als 373 °C. Zwischen dem Chip und der Befestigungsplatte wird damit eine Gold-Silicium-Legierung gebildet und hierdurch das Siliciumchip auf dem Chipbefestigungsteil befestigt.
- b) Zwischen einem Siliciumchip und einem Chipbefestigungsteil wird eine eutektische Gold-Silicium-Schicht gebildet, indem eine Gold- oder eine Goldlegierungsschicht

auf dem Siliciumchip erhitzt wird. Zwischen die eutektische Schicht und das Chipbefestigungsteil wird eine Goldfolie oder eine Goldlegierungsfolie eingefügt. Das Chip, das Befestigungsteil, die eutektische Schicht und die Folie werden zusammengefügt und dann auf eine Temperatur oberhalb der eutektischen Temperatur von Gold-Silicium erhitzt, wodurch das Chip auf dem Befestigungsteil befestigt wird.

- c) Auf einer Oberfläche eines Siliciumsubstrats wird eine Gold-Silicium-Legierungsschicht einer geeigneten Dicke gebildet. Das Siliciumsubstrat wird dann zu Chips geschnitten. Unter Verwendung der Legierungsschicht als Lötmedium wird das jeweilige Siliciumchip auf dem Chipbefestigungsteil befestigt.
- d) Eine Gold-Germanium-Legierungsschicht bzw. eine Gold-Antimon-Legierungsschicht geeigneter Dicke wird auf einer Oberfläche eines Siliciumsubstrats gebildet. Das Siliciumsubstrat wird dann zu Chips geschnitten. Unter Verwendung der Legierungsschicht als Lötmedium wird das Siliciumchip auf dem Chipbefestigungsteil befestigt.

Das Verfahren a) weist Mängel in folgender Hinsicht auf:



- 1) Da die Folie viel größer ist als das Siliciumchip, ist die Genauigkeit der Positionierung des Chips schlecht. Dies verursacht unvermeidbar Schwierigkeiten bei den darauffolgenden Herstellungsprozessen der Halbleitervorrichtung.
- 2) Um die Folie auf dem Chipbefestigungsteil anzubringen, ist eine Vorrichtung hoher Genauigkeit erforderlich.
- 3) Es ist eine große Menge an Gold erforderlich, das sehr teuer ist.
- 4) Es ist schwierig, eine ausreichend starke Bindung zwischen dem Chip und dem Befestigungsteil herzustellen. Die Haftfestigkeit ist von Halbleitervorrichtung zu Halbleitervorrichtung verschieden. Die Erzeugnisse sind deshalb nicht ausreichend zuverlässig.

Das Verfahren (b) ist zwar gegenüber dem Verfahren a) vorteilhaft insofern, als es eine stärkere Haftung zwischen dem Siliciumchip und dem Chipbefestigungsteil ermöglicht. Es haften ihm aber auch noch die unter 1) bis 3) angegebenen Mängel an.

Das Verfahren gemäß c) erlaubt es, die Kosten der Halbleitervorrichtung herabzusetzen, da es keine Goldfolie benutzt. Aus diesem Grund benötigt es auch keine Vorrichtung zum Positionieren einer Folie auf dem Chipbefestigungsteil. Es ist bei diesem Verfahren aber außerordentlich schwierig, ein gutes Zerteilen des Siliciumsubstrats in Würfel zu erzielen. Da die eutektische Gold-Silicium-Schicht ein  $\mu\text{m}$  oder dicker ist, wird das Substrat längs Würfellinien von der Oberfläche aus geschnitten, auf der die eutektische Schicht gebildet ist, wie dies in der japanischen Patentveröffentlichung 13 27 78/77 beschrieben ist. In der Praxis ist es jedoch außerordentlich schwierig, das Substrat exakt längs der Würfellinien zu schneiden. In den meisten Fällen wird das Substrat längs einer Linie geschnitten, die 100  $\mu\text{m}$  oder mehr von der Würfellinie entfernt ist.

Das Verfahren d) weist insofern Mängel auf, als die Bindung zwischen der Legierungsschicht und dem Siliciumsubstrat nicht ausreichend stark ist. Als Folge besteht die Gefahr, daß sich die Legierungsschicht während des Würfelschneidens vom Substrat ablöst. Falls sich die Legierungsschicht nicht vom Substrat löst, ist das erhaltene Produkt infolge der schlechten Bindung zwischen der Legierungsschicht und dem Siliciumsubstrat unzuverlässig.

Ziel dieser Erfindung ist eine Halbleitervorrichtung, bei der das Halbleiterelement auf dem Chipbefestigungsteil exakt positioniert ist, das mit geringen Kosten hergestellt werden kann und das eine starke Bindung zwischen dem Halbleiterelement und dem Chipbefestigungsteil aufweist.

Die Erfindung ist durch die Merkmale des Anspruches 1 gekennzeichnet. Vorteilhafte Ausgestaltungen der Erfindung sind den Unteransprüchen zu entnehmen.

Die Erfindung wird durch Ausführungsbeispiele anhand von 5 Figuren näher erläutert. Es zeigen:

- Fig. 1                    eine perspektivische Ansicht eines Teils einer bekannten Halbleitervorrichtung, bei der ein Siliciumchip auf einem Leiterrahmen befestigt ist;
- Fig. 2                    eine Querschnittsansicht eines Siliciumsubstrats gemäß dieser Erfindung;
- Fig. 3                    eine Querschnittsansicht einer Halbleitervorrichtung gemäß dieser Erfindung, bei der auf einem Chipbefestigungsteil ein Siliciumchip befestigt ist;

Fig. 4

ein Diagramm, das die Verteilung des thermischen Widerstandes in einer erfindungsgemäßen Halbleitervorrichtung zeigt; und

Fig. 5

eine Querschnittsansicht eines weiteren Siliciumsubstrats gemäß dieser Erfindung.

Eine Halbleitervorrichtung gemäß dieser Erfindung enthält ein Chipbefestigungsteil und ein Halbleiterelement mit drei Metallschichten, die zwischen dem Befestigungsteil und dem Element eingefügt sind. Die erste Metallschicht ist auf eine Oberfläche des Halbleiterelementes aufgebracht und aus einem Metall hergestellt, das aus der Gruppe Vanadium, Aluminium, Titan, Chrom, Molybdän und Nickel-Chrom-Legierung ausgewählt ist. Die zweite Metallschicht, die auf die erste Metallschicht aufgebracht ist, ist aus einem Metall hergestellt, das aus der Gruppe Kupfer, Legierung auf Kupferbasis, Nickel und Legierung auf Nickelbasis ausgewählt ist. Die dritte Metallschicht, die auf die zweite Metallschicht aufgebracht ist, ist aus einer Gold-Germanium-Legierung oder aus einer Legierung auf der Basis von Gold-Germanium hergestellt. Die dritte Metallschicht wirkt als Lötmaterial, das das Halbleiterelement am Chipbefestigungsteil befestigt. Die erste und die zweite Metallschicht bewirken eine Verstärkung der Bindung zwischen dem Halbleiterelement und der dritten Metallschicht.

Die dritte Metallschicht kann, während sie gebildet wird, oxidiert werden. Falls dies geschieht, wird die Haftfestigkeit zwischen der dritten Metallschicht und dem Chipbefestigungsteil herabgesetzt. Um eine solche Verminderung der Haftfestigkeit zu vermeiden, kann die dritte Metallschicht mit einer vierten Metallschicht bedeckt werden, die aus der

Gruppe Gold, Silber und Platin ausgewählt ist.

Als Legierung auf Kupferbasis und als Legierung auf Nickelbasis, d. h. als Material der zweiten Metallschicht, können eine Kupfer-Nickel-Legierung und eine Nickel-Chrom-Legierung verwendet werden. Als Legierung auf Gold-Germanium-Basis, d. h. als Material der dritten Metallschicht, kann eine Gold-Germanium-Antimon-Legierung oder eine Gold-Germanium-Gallium-Legierung verwendet werden. Das Antimon in der Gold-Germanium-Antimon-Legierung dient dazu, die Kollektor-Emitter-Sättigungsspannung  $V_{ces}$  der Halbleitervorrichtung herabzusetzen.

Wird eine Gold-Germanium-Antimon-Legierung auf einer Nickelschicht oder einer Legierungsschicht auf der Basis von Nickel abgeschieden, dann wird zuerst Antimon abgeschieden, da der Dampfdruck von Antimon höher als der von Gold oder Germanium ist. Das niedergeschlagene Antimon reagiert mit Nickel in der Weise, daß es eine Erhöhung des thermischen Widerstandes  $R_{th}$  der Halbleitervorrichtung verursacht. Um diese Reaktion zwischen Nickel und Antimon zu vermeiden, kann zwischen der Nickelschicht bzw. der Legierungsschicht auf Nickelbasis und der Gold-Germanium-Antimon-Schicht Gold, Germanium oder eine Gold-Germanium-Legierung gebildet werden.

Ferner kann zwischen der dritten und der vierten Metallschicht

ebenfalls eine Gold-Germanium-Schicht gebildet werden.

Vorzugsweise liegt der Germanium-Anteil in der Gold-Germanium-Legierung im Bereich zwischen 4 und 20 Gew.-%. Ist der Germanium-Anteil geringer als 4 Gew.-%, dann wird die Legierung so weich, daß das Schneiden in Würfel schwierig wird. Übersteigt der Anteil 20 Gew.-%, dann kann die dritte Metallschicht keine ausreichende Bindung mehr zwischen dem Halbleiterelement und dem Chipbefestigungsteil herstellen. Vorzugsweise sollte der Germanium-Anteil im Bereich zwischen 6 und 12 Gew.-% liegen. Am vorteilhaftesten ist es, wenn er bei 12 Gew.-% liegt, so daß ein Gold-Germanium-Eutektikum gebildet wird. Der Antimon-Anteil der Gold-Germanium-Antimon-Legierung liegt vorzugsweise im Bereich zwischen 0,005 und 1,0 Gew.-%, beruhend auf der Menge an Gold-Germanium. Am vorteilhaftesten ist es, wenn der Antimon-Anteil im Bereich zwischen 0,03 bis 0,2 Gew.-% liegt. Die erste Metallschicht sollte 50 bis 2.000 Å dick sein, die zweite Metallschicht 300 bis 5.000 Å, die dritte Metallschicht 0,8 bis 3,5 µm und die vierte Metallschicht 500 bis 5.000 Å. Es werden nun anhand der Zeichnung mehrere Beispiele dieser Erfindung erläutert.

#### Beispiel 1

Wie in Fig. 2 dargestellt, wurde eine erste Metallschicht 12

von ungefähr  $300 \text{ \AA}$  Dicke aus Vanadium, und damit geeignet auf einer Siliciumschicht gut befestigt zu werden, auf einer Oberfläche eines Siliciumsubstrats 11, in dem PNP-Transistorchips 11a, 11b, 11c und 11d gebildet wurden, aus der Gasphase abgeschieden. Auf der ersten Metallschicht 12 wurde eine zweite Metallschicht 13 aufgedampft, die aus Nickel hergestellt war und eine Dicke von etwa  $1.000 \text{ \AA}$  hatte. Auf der zweiten Metallschicht 13 wurde eine dritte Metallschicht 14 aufgedampft bzw. aus der Gasphase abgeschieden, die aus einer Gold-Germanium-Legierung (Germanium-Anteil: 12 Gew.-%) hergestellt war und eine Dicke von etwa  $1 \text{ \mu m}$  hatte. Das Siliciumsubstrat 11 wurde dann mittels eines Diamantschneiders auf der anderen Oberfläche angerissen. Danach wurde das Substrat 11 in Chips geteilt. Jedes Chip wurde auf einem silberplatierten Leiterraahmen 2 befestigt, wie dies in Fig. 3 dargestellt ist, wobei die dritte Metallschicht 14 als Lötmaterial diente. Auf diese Weise wurden Halbleitervorrichtungen, von denen jede ein Halbleiterchip enthielt, hergestellt.

Die Ausbeute war größer als bei den nach bekannten Verfahren hergestellten Produkten. Außerdem zeigten die Vorrichtungen eine niedrigere Kollektor-Emitter-Sättigungsspannung  $V_{ces}$  und einen niedrigeren thermischen Widerstand  $R_{th}$  als die nach bekannten Verfahren hergestellten Halbleitervorrichtungen. Genauer gesagt lag  $V_{ces}$  der Vorrichtungen



zwischen 0,15 und 0,20 Volt, während  $V_{ces}$  der nach bekannten Verfahren hergestellten Halbleitervorrichtungen zwischen 0,2 und 0,3 Volt lag. Fig. 4 zeigt die Verteilung des thermischen Widerstandes in den Halbleitervorrichtungen  $A_1$  und  $A_2$ , die nach bekannten Verfahren hergestellt worden sind, sowie in der Halbleitervorrichtung B gemäß Beispiel 1. Wie Fig. 1 klar erkennen läßt, war der thermische Widerstand der Halbleitervorrichtungen nach Beispiel 1 niedrig und variierte nur wenig von Vorrichtung zu Vorrichtung im Vergleich zu den bekannten Halbleitervorrichtungen.

#### Beispiel 2

Es wurden in der gleichen Weise wie bei Beispiel 1 Halbleitervorrichtungen hergestellt mit der Ausnahme, daß in dem Siliciumsubstrat NPN-Transistorchips gebildet wurden und die erste Metallschicht, die zweite Metallschicht und die dritte Metallschicht aus Titan, Kupfer bzw. einer Gold-Germanium-Antimon-Legierung (Antimon-Anteil: 0,1 Gew.-% beruhend auf der Menge an Gold-Germanium) hergestellt waren.

Die Ausbeute war höher als bei den nach bekannten Verfahren hergestellten Erzeugnissen. Ähnlich wie bei Beispiel 1 zeigten die Halbleitervorrichtungen eine kleinere Kollektor-Emitter-Sättigungsspannung  $V_{ces}$  und einen kleineren thermischen Wider-

stand  $R_{th}$  als die nach bekannten Verfahren hergestellten Halbleitervorrichtungen. Der thermische Widerstand  $R_{th}$  variierte nur ein wenig von Vorrichtung zu Vorrichtung. Zufolge des Antimon-Anteils in der Gold-Germanium-Antimon-Legierung war die Spannung  $V_{ces}$  niedriger als bei den Halbleitervorrichtungen nach Beispiel 1.

### Beispiel 3

Es wurden in der gleichen Weise wie bei Beispiel 1 Halbleitervorrichtungen hergestellt mit der Ausnahme, daß, wie in Fig. 5 dargestellt, auf die dritte Metallschicht 14 eine vierte Metallschicht 15 aus Gold, deren Dicke  $500 \text{ \AA}$  betrug, aufgedampft wurde. Die vierte Metallschicht 15 verhinderte eine Oxidation der dritten Metallschicht 14. Die Bindung zwischen der dritten Metallschicht 14 und dem Leiterrahmen 2 wurde deshalb nicht so stark beeinträchtigt.

Die Ausbeute war höher als bei nach bekannten Verfahren hergestellten Erzeugnissen. Ähnlich wie bei Beispiel 1 zeigten die Halbleitervorrichtungen eine niedrigere Kollektor-Emitter-Sättigungsspannung  $V_{ces}$  und einen niedrigeren thermischen Widerstand  $R_{th}$  als die nach bekannten Verfahren hergestellten Halbleitervorrichtungen. Der thermische Widerstand  $R_{th}$  variierte nur wenig von Vorrichtung zu Vorrichtung.

Beispiel 4

Es wurden in der gleichen Weise wie bei Beispiel 2 Halbleitervorrichtungen hergestellt, mit der Ausnahme, daß, wie in Fig. 5 dargestellt, auf die dritte Metallschicht 14 eine vierte Metallschicht 15 aus Gold, die eine Dicke von 500 Å aufwies, aufgedampft wurde. Die vierte Metallschicht 15 verhinderte eine Oxidation der dritten Metallschicht 14. Die Bindung zwischen der dritten Metallschicht 14 und dem Leiterraahmen 2 wurde deshalb nicht ungünstig beeinflusst.

Die Ausbeute war höher als bei den nach bekannten Verfahren hergestellten Erzeugnissen. Wie bei Beispiel 1 zeigten die Halbleitervorrichtungen eine niedrigere Kollektor-Emitter-Sättigungsspannung  $V_{ces}$  und einen niedrigeren thermischen Widerstand  $R_{th}$  als die nach bekannten Verfahren hergestellten Halbleitervorrichtungen. Der thermische Widerstand  $R_{th}$  variierte nur etwas von Vorrichtung zu Vorrichtung. Zufolge des Antimon-Anteils in der Gold-Germanium-Antimon-Legierung war die Spannung  $V_{ces}$  niedriger als bei den nach den Beispielen 1 und 3 hergestellten Halbleitervorrichtungen.

Die Halbleitervorrichtung nach der Erfindung weist die folgenden Vorteile auf:

- 1) Da anstelle einer Goldfolie eine extrem kleine Menge an einer Gold-Germanium-Legierung verwendet ist, um die Siliciumchips auf den Chipbefestigungsteilen zu befestigen, werden die Chips so exakt positioniert, daß beim Anbringen der Drähte keine Schwierigkeiten entstehen.
- 2) Da keine Goldfolie benutzt wird, ist der Verfahrensschritt eine Goldfolie auf einem Chipbefestigungsteil zu plazieren oder eine Einrichtung zur Durchführung dieses Vorgangs nicht erforderlich.
- 3) Da die Menge an Gold, das ein sehr teures Metall ist und welches bei der Erfindung in Form einer Gold-Germanium-Legierung verwendet wird, außerordentlich gering ist, kann die Vorrichtung mit niedrigen Kosten hergestellt werden.
- 4) Da zwischen ein Siliciumsubstrat und eine Gold-Germanium-Legierungsschicht Metallschichten eingefügt werden, die

909886/0935

gut sowohl mit Silicium als auch mit der Gold-Germanium-Legierung verbunden werden können, wird eine ausreichend starke Bindung bzw. Haftung zwischen dem Siliciumchip und dem Chipbefestigungsteil erzielt, wodurch die Zuverlässigkeit der Vorrichtung verbessert wird.

- 5) Da als Lötmaterial eine Gold-Germanium-Legierung anstelle einer Gold-Silicium-Legierung verwendet wird, kann das Siliciumsubstrat auf einfache Weise in Chips unterteilt werden und das Siliciumsubstrat kann auf der oberen Fläche längs Würfellinien angerissen werden, nicht auf den Legierungsschichten. Die Verwendung der Gold-Germanium-Legierung erleichtert das Brechen des Siliciumsubstrats in Chips aus dem folgenden Grund. Der Siliciumgehalt in der eutektischen Gold-Silicium-Verbindung beträgt 2,85 Gew.-%, während der Germaniumgehalt in der eutektischen Gold-Germanium-Verbindung 12 Gew.-% beträgt. Die spezifischen Dichten von Gold, Silicium und Germanium sind 19,3; 2,42 bzw. 5,46. Somit nimmt volumenmäßig Silicium 19 % der eutektischen Gold-Silicium-Legierung ein, während Germanium 33 % der Gold-Germanium-Legierung einnimmt. Offensichtlich ist damit volumenmäßig der Goldgehalt in der eutektischen Gold-Germanium-Legierung viel kleiner als in der eutektischen Gold-Silicium-Legierung.
- 6) Im allgemeinen wird das Metall aus der Gasphase unter einem Druck von  $10^{-1}$  bis  $10^{-2}$  Torr niedergeschlagen bzw.

abgeschieden. Die Temperatur, bei der Gold einen derartigen Dampf- bzw. Gasdruck aufweist, ist nahezu gleich der Temperatur, bei der Germanium einen solchen Dampfdruck hat. Mit anderen Worten sind die Dampfdrücke von Gold und Germanium bei einer für die Dampfabscheidung von Gold und Germanium geeigneten Temperatur nahezu gleich groß. Anders als bei Gold-Silicium oder Gold-Antimon kann Gold-Germanium leicht ohne fraktionelles Verdampfen aufgedampft werden. Z. B. hat der Dampfdruck von Gold und Germanium bei 2000 K den Wert  $5,5 \times 10^{-1}$  Torr (siehe RCA-Review, Juni 1969, S. 292 und 293). Der Dampfdruck von Silicium hat bei 2000 K einen Wert von  $3,0 \times 10^{-2}$  Torr.

FIG. 1

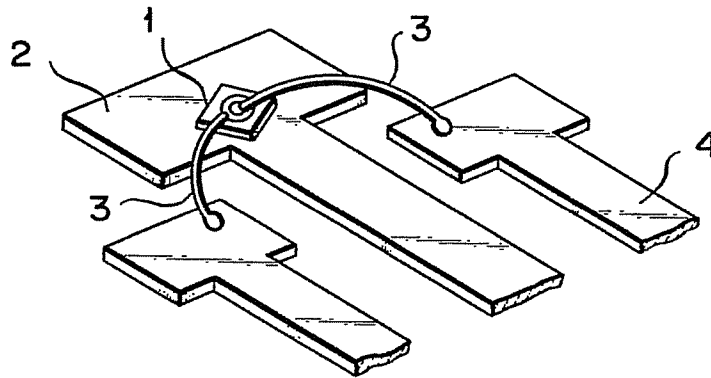


FIG. 2

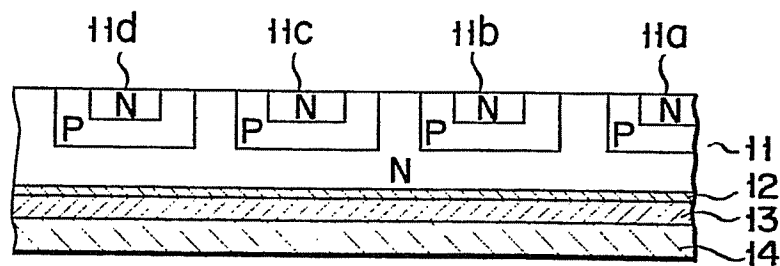


FIG. 3

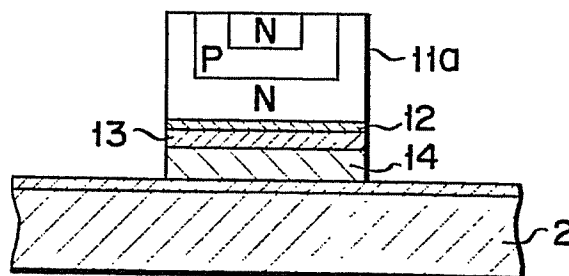


FIG. 4

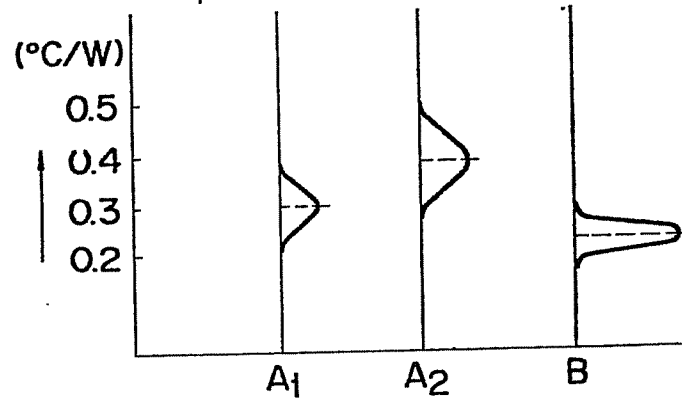
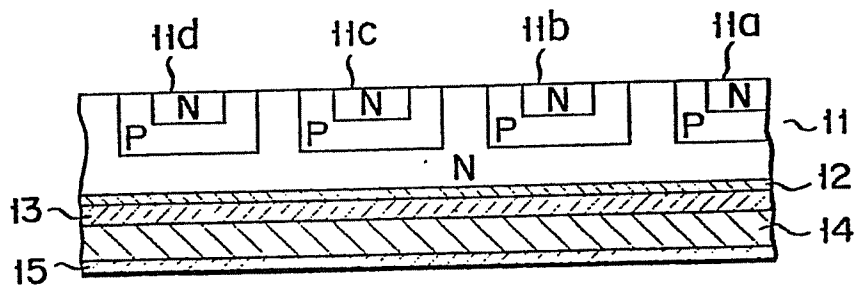


FIG. 5





*Relay 1:*

AN: PAT 1980-11406C  
TI: Contact layer for **semiconductor chip** consists of three or four metal layers giving firm bond and including **gold-germanium** alloy layer for soldering  
PN: DE2930779-A  
PD: 07.02.1980  
AB: **Semiconductor** device has a **chip** pad and related **semiconductor** element, with three consecutive metal layers, consisting of (I) V, Al, Ti, Cr, Mo or No-Cr alloy, (II) Cu (alloy) or Ni (alloy) and (III) **Au-Ge** (based) alloy, which acts as **solder** and fixes the element to the **chip** pad. Exact positioning is facilitated by using an extremely small amt. of **Au-Ge** alloy instead of **Au** foil and the amt. of **Au** needed is reduced. Reliability is increased by the strong bond formed between the Si and **Au-Ge** alloy by the intermediate layers.;  
PA: (TOKE ) TOKYO SHIBAURA ELECTRIC CO;  
IN: HATTORI O; KOBAYASHI M;  
FA: DE2930779-A 07.02.1980; DE2930779-C 04.08.1983;  
JP55019805-A 12.02.1980; JP55019806-A 12.02.1980;  
JP84002174-B 17.01.1984; JP84002175-B 17.01.1984;  
CO: DE; JP;  
IC: H01L-021/24; H01L-023/12;  
MC: L03-D03D; M23-A;  
DC: L03; M26; U11; U12;  
PR: JP0091415 28.07.1978; JP0091416 28.07.1978;  
FP: 07.02.1980  
UP: 17.01.1984

*Au Sn + AuGe + Chips*

*SA*